

Combinatorisch tegenover sequentieel

- **2 soorten digitale schakelingen :**
 combinatorisch of sequentieel
- **combinatorische schakelingen**
 - combinatie van (al dan niet verschillende) (basis)poorten
 - toestand van de uitgang kan op elk ogenblik éénduidig bepaald worden
 - uitgangstoestand is onafhankelijk van de volgorde waarin de combinaties worden afgelopen
- **sequentiële schakelingen**
 - gebruiken elementen met geheugenwerking
 - er zal steeds een terugkoppeling aanwezig zijn van de uitgang naar de eigen ingang
 - wát er op een bepaald ogenblik op de uitgang zal verschijnen hangt af van wat er op dit ogenblik op de ingangen aanwezig is **EN VAN WAT ER VOORHEEN GEBEURD IS** (sequentie = volgorde)
 - typisch voorbeeld: digitale teller
 - basisbouwsteen: flipflop

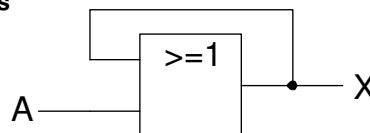
Latch en flipflop

DIGITALE ELEKTRONICA 1PBa-ELO/ICT

Vergrendelingsschakeling

- **Eerste type geheugenschakeling:**
 vergrendelingsschakeling
- Voorbeeld: drukknop START voor een motorsturing**
 - A=1 als de drukknop is ingedruwd
 - X=1 als de motor draait
 - zodra (en zolang als) de START-knop wordt ingedrukt, moet de motor draaien
 - eens als de motor draait, mogen we de START-knop loslaten; de motor moet echter blijven draaien (toestand is vergrendeld)
 - dit is een eerste 'onthoud'-schakeling
 - algebraïsche vergelijking afleiden uit de omschrijving:
 de motor moet draaien als de startknop wordt ingedrukt of als de motor reeds aan het draaien is

$$X = A + X$$



Latch en flipflop

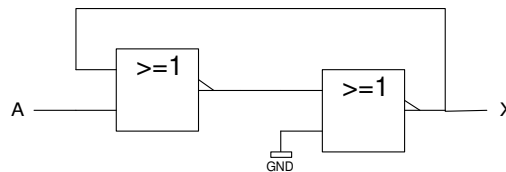
DIGITALE ELEKTRONICA 1PBa-ELO/ICT

NOR-LATCH

- Vervang de OR door een NOR gevolgd door een inverter; hierdoor blijft de schakeling functioneel gelijk
- NOR als inverter:
 - 2 ingangen samennemen of
 - één ingang aan de massa (0)

A	B	A+B
0	0	1
0	1	0
1	0	0
1	1	0

- Resultierend schema:



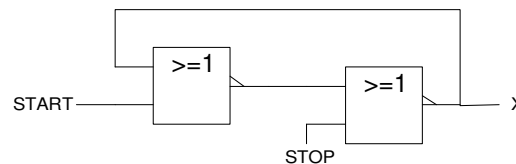
Latch en flipflop

DIGITALE ELEKTRONICA 1PBa-ELO/ICT

START-STOP SCHAKELING

- Voordeel van de tweede NOR-poort:
 - stel de uitgang X is 1 geworden na het indrukken van de START-knop A
 - vervolgens mag de START-knop terug 0 worden, de uitgang zal 1 blijven
 - als de ingang van de tweede NOR nu 1 wordt in plaats van 0 (GND), dan zal de uitgang X hierdoor ogenblikkelijk 0 worden (motor stopt)
 - door de aanwezigheid van de terugkoppeling mag vervolgens deze ingang opnieuw 0 gemaakt worden; X zal toch 0 blijven!
 - als ingang A de START-ingang is, dan is de ingang van de tweede NOR de STOP-ingang

- Resultierend schema:

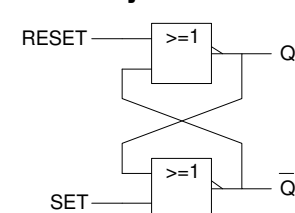
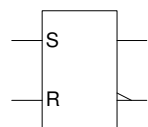


Latch en flipflop

DIGITALE ELEKTRONICA 1PBa-ELO/ICT

SR-LATCH

- **LATCH = elementaire geheugencel**
 - uitgang meestal aangeduid als Q
 - bijna steeds is het inverse hiervan ook aanwezig \bar{Q}
 - de latch is geSET als Q=1
 - de latch is geRESET als Q=0
 - een ingang waarlangs we de latch kunnen setten, is een SET-ingang
 - een ingang waarlangs we de latch kunnen resetten, is een RESET-ingang
 - START=SET, STOP=RESET, X=Q
- ‘normale’ tekenwijze en IEC-symbool:

Latch en flipflopDIGITALE ELEKTRONICA 1PBa-ELO/ICT

NOR-LATCH

- **Toestandentabel** Qv = vorige toestand van Q

S	R	Qv	Q	toestand
0	0	0	0	vorige toestand
0	0	1	1	
0	1	0	0	RESET
0	1	1	0	
1	0	0	1	SET
1	0	1	1	
1	1	0	0	verboden (Q= \bar{Q})
1	1	1	0	

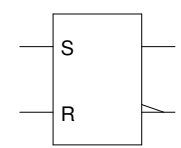
Als SET en RESET gelijktijdig geactiveerd worden, komen we in een **verboden toestand** omdat beide uitgangen niet meer elkaars tegengestelde toestand aannemen.

Deze toestand is ook **onstabiel**: als van hier wordt overgegaan naar de geheugen-toestand, is het niet te voorspellen of de LATCH in de SET- of in de RESET-toestand terecht komt.

- **Karakteristieke tabel**

S	R	Q	toestand
0	0	Qv	vorige
0	1	0	RESET
1	0	1	SET
1	1	#	verboden

- **IEC-symbool**



Latch en flipflopDIGITALE ELEKTRONICA 1PBa-ELO/ICT

Vergrendelingsschakeling met NAND

- **Gelijkaardige vergrendelingsschakeling, maar nu met NAND-poorten**
 - rusttoestand: $S=1(!!!)$, $Q=0$
 - NAND in terugkoppeling = NOT
 - zodra $S=0$ wordt, zal $Q=1$ worden
 - via de inverter wordt een 0 teruggekoppeld
 - hierdoor mag $S=1$ worden, toch zal $Q=1$ blijven (vergrendeling op de S-ingang)
- **Ucc-ingang kan RESET-ingang worden:**
 - stel $Q=1$ geworden door $S=0$ te maken
 - daarna mag S opnieuw 1 worden, Q blijft 1
 - als Ucc op ingang NAND plots 0 wordt, komt uit de terugkoppeling een 1
 - hierdoor wordt $Q=0$, wat de RESET-toestand is
 - als hierna Ucc op ingang NAND terug 1 wordt, zal $Q=0$ blijven
- **Opgelet: S en R in rust HOOG, maar actief LAAG!**

Latch en flipflop DIGITALE ELEKTRONICA 1PBa-ELO/ICT

SR-NAND-LATCH

- 'normale' tekenwijze en IEC-symbol:

- **toestandentabel:**

S	R	Q	toestand
0	0	#	verboden
0	1	1	SET
1	0	0	RESET
1	1	Q_v	geheugen

Latch en flipflop DIGITALE ELEKTRONICA 1PBa-ELO/ICT

Toepassing: ontlederen van schakelaars

Dit principe wordt ondermeer toegepast bij de 'PULSE SWITCHES' op de digitale trainers in het LAB DIG.

Latch en flipflopDIGITALE ELEKTRONICA 1PBa-ELO/ICT

Geklokte SR latch

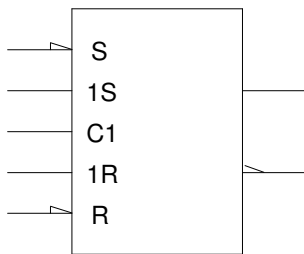
SR-LATCH

- **Normaal** verandert de SR latch van zodra er een set (S) of een reset (R) toekomt
- **We voegen nu vooraan twee NAND-poorten toe die de S- en R-signalen maar doorlaten als er een CLK-signaal aanwezig :**
 - als CLK=0 komt er een 1 uit beide NANDs en blijft de SR-latch in zijn geheugentoestand
 - als CLK=1 werken de NANDs als inverter: we kunnen setten met S=1 of resetten met R=1
 - verboden toestand: CLK=1 én S=R=1
- **De veranderingen gebeuren nu dus alleen als de klok actief (hoog) is**
- **IEC-symbool**
 - ingangen actief HOOG
 - afhankelijkheidsnotatie met volgnummer

Latch en flipflopDIGITALE ELEKTRONICA 1PBa-ELO/ICT

PRESET en CLEAR

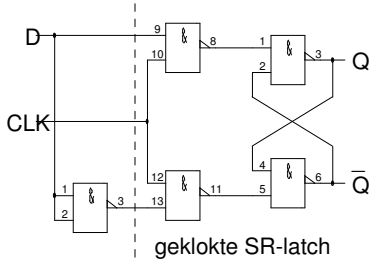
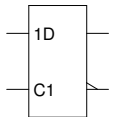
- **CLEAR = asynchrone RESET**
- **PRESET = asynchrone SET**
- **asynchroon → werken onafhankelijk van de klok**
- **PRIORITEITSINGANGEN**
 - hebben voorrangswerking op de ‘gewone’ (geklokte) ingangen
 - » CLEAR = Q *onvoorwaardelijk* 0 maken
 - » PRESET = Q *onvoorwaardelijk* 1 maken
 - verboden toestand als beide gelijktijdig actief zijn
 - worden in IEC-symbool aangeduid met R (voor CLEAR) en S (voor PRESET), maar NIET voorafgegaan door volgnummer (werken ONafhankelijk van de klok)



Latch en flipflop DIGITALE ELEKTRONICA 1PBa-ELO/ICT

D-latch

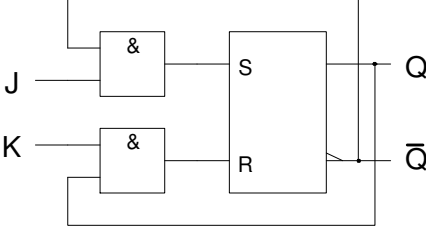
- **Nadeel SR-latch als geheugenelement:**
 - twee verschillende toegangslijnen om toch slechts één bit op te slaan
 - mogelijke verboden toestand
- **Oplossing: slechts één DATA-ingang gebruiken:**
 - deze D-ingang wordt rechtstreeks verbonden met de Set (S)
 - de inverse van de D-ingang is de Reset (R)
 - $D=0 \rightarrow S=0, R=1 \rightarrow Q=0$
 - $D=1 \rightarrow S=1, R=0 \rightarrow Q=1$
- **‘Transparente’ latch:**
 - zolang CLK=1 → Q=D
 - uitgang volgt ingang
 - zodra CLK=0 wordt → laatste toestand blijft bewaard
- **IEC-symbool**

Latch en flipflop DIGITALE ELEKTRONICA 1PBa-ELO/ICT

JK-latch

- **Andere methode om de verboden toestand van de SR-latch te elimineren:**
 - maak gebruik van de uitgang(en) van de latch zelf om ervoor te zorgen dat R en S van de eigenlijke SR-latch nooit gelijktijdig 1 zijn
 - als Q=1 kan er alleen geRESET worden, als Q=0 kan er geSET worden

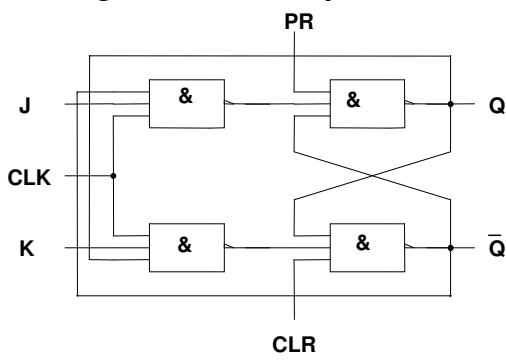
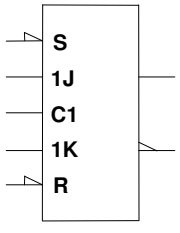


- de nieuwe S-ingang wordt aangeduid met J, de nieuwe R met K
- als J=K=1 zal de vorige uitgangstoestand telkens inverteren = TOGGLE
- men spreekt van een JK-latch

Latch en flipflop DIGITALE ELEKTRONICA 1PBa-ELO/ICT

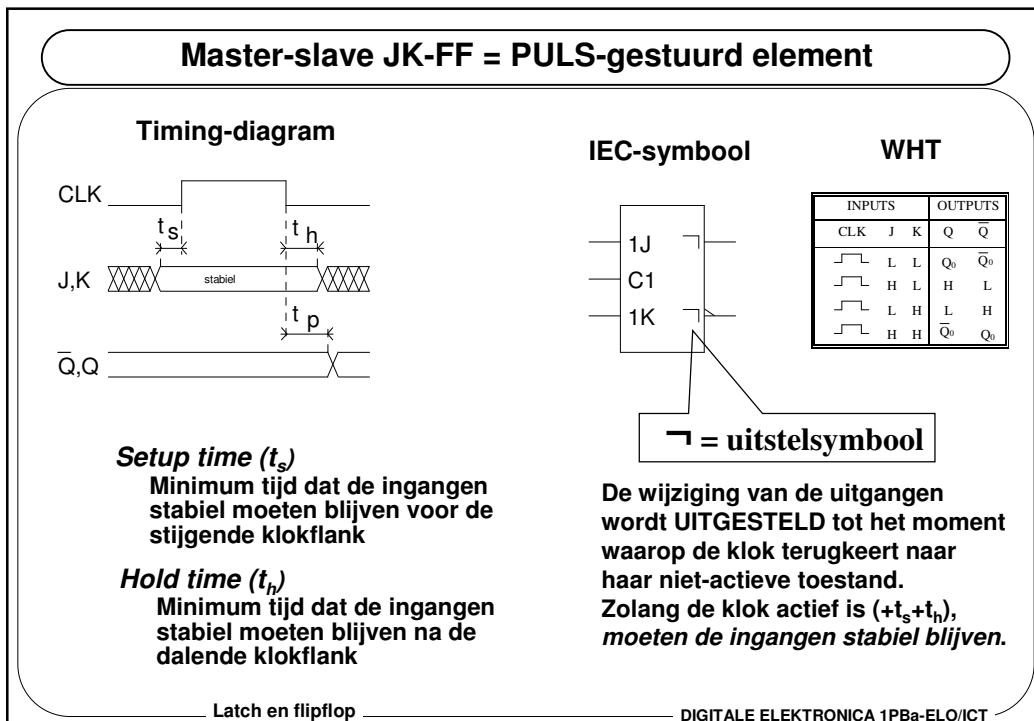
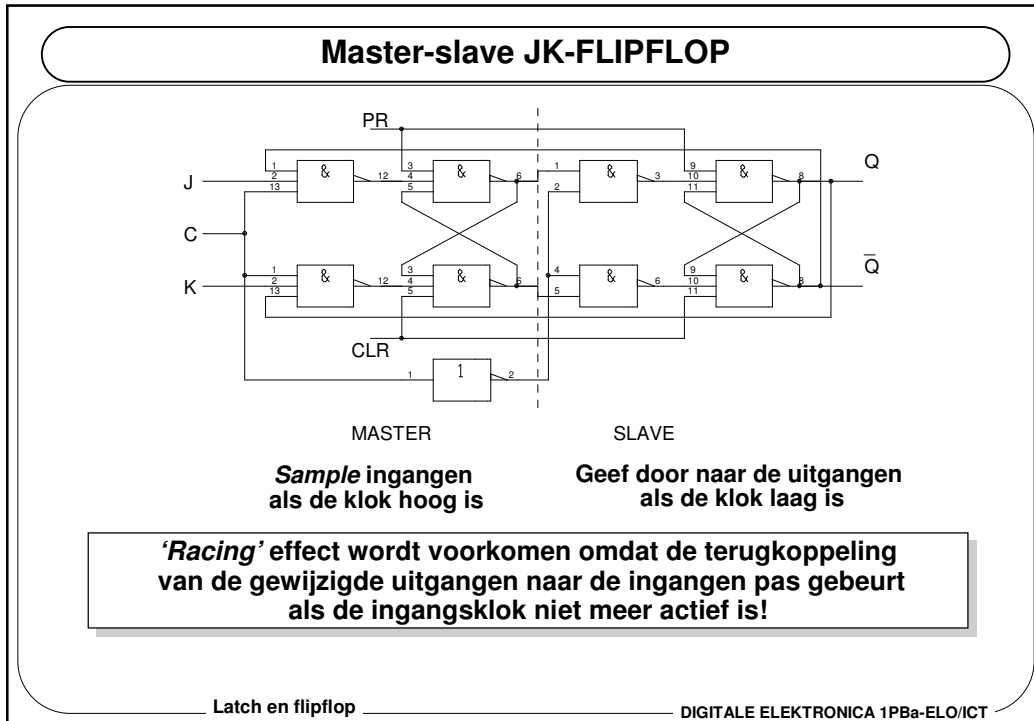
JK-latch met asynchrone preset en clear

- **Toevoegen van clock, preset en clear**

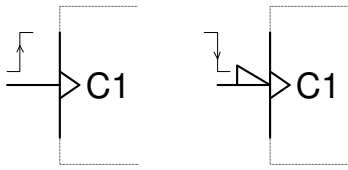
- Kan in de praktijk niet op deze manier voorkomen: *'racing'* verschijnsel → uitgang blijft omkappen
- Oplossing: master-slave principe

Latch en flipflop DIGITALE ELEKTRONICA 1PBa-ELO/ICT



FLANK-triggering

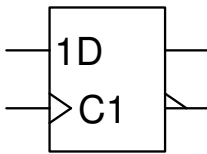
- Bij alle voorheen behandelde LATCH-schakelingen was de klok steeds actief op een NIVEAU
- Indien de klok echter slechts actief is op een FLANK, spreken we van een FLIPFLOP i.p.v. van een LATCH
- Voordelen:
 - minder kans op doorgeven van storingen
 - ingangen moeten niet zo lang stabiel gehouden worden
- Twee mogelijke flanken:
 - 0→1 : stijgende flank, voorflank, *rising edge*
 - 1→0 : dalende flank, achterflank, *falling edge*
- IEC-symbol:
 - dynamisch symbool
 - + evtl. polariteitsindicator



Latch en flipflopDIGITALE ELEKTRONICA 1PBa-ELO/ICT

Verschil tussen LATCH en FLIPFLOP

7474 = D-FF

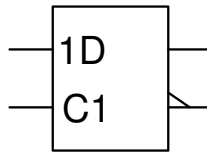


Positive edge-triggered
D-flipflop

FLIPFLOP = flank-opererende klok:
hetingangssignaal wordt bemonsterd op de stijgende (evtl. dalende) flank van de klok

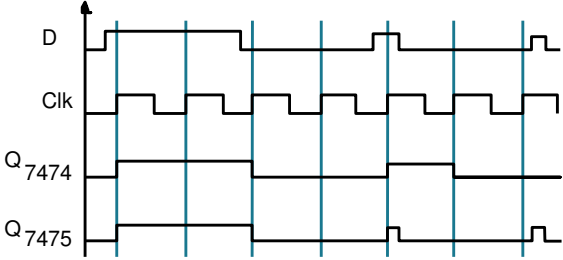
LATCH = niveau-opererende klok:
hetingangssignaal wordt bemonsterd zolang de klok hoog (evtl. laag) is

7475 = D-LATCH



Level-sensitive
transparent D-latch

Timing Diagram:



Gedrag is hetzelfde tenzij de D-ingang verandert terwijl de klok hoog is

Latch en flipflopDIGITALE ELEKTRONICA 1PBa-ELO/ICT

JK-FLIPFLOP

74LS73 = JK-FF

Negative edge-triggered JK-flipflop with Clear

INPUTS				OUTPUTS	
CLR	CLK	J	K	Q	\bar{Q}
L	X	X	X	L	H
H	↓	L	L	Q_0	\bar{Q}_0
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	TOGGLE
H	H	X	X	Q_0	\bar{Q}_0

7473 = JK-MS-FF

JK master-slave FF with Clear

INPUTS				OUTPUTS	
CLR	CLK	J	K	Q	\bar{Q}
L	X	X	X	L	H
H	↓	L	L	Q_0	\bar{Q}_0
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	\bar{Q}_0	Q_0

Latch en flipflop DIGITALE ELEKTRONICA 1PBa-ELO/ICT

TOGGLE-FLIPFLOP

- T-FF : de uitgang complementeert (=TOGGLE) bij elke klokpuls
- wordt niet als apart IC-type gemaakt, maar afgeleid uit bestaande types:

JK-(MS)-FF

CLK

$f_Q = \frac{f_{CLK}}{2}$

2-deler

D-FF

Latch en flipflop DIGITALE ELEKTRONICA 1PBa-ELO/ICT

OPGAVE

- Gegeven het schema van bovenstaande schakeling.
- Stel het timing-diagram van de gegeven schakeling op met als begintoestand $Q_A Q_B Q_C = 000_2$ (na een laag-gaande puls op de CLR-lijn). Daarna komen er tien klokpulsen op de CLK-lijn.

Latch en flipflop DIGITALE ELEKTRONICA 1PBa-ELO/ICT

OPLOSSING

Latch en flipflop DIGITALE ELEKTRONICA 1PBa-ELO/ICT