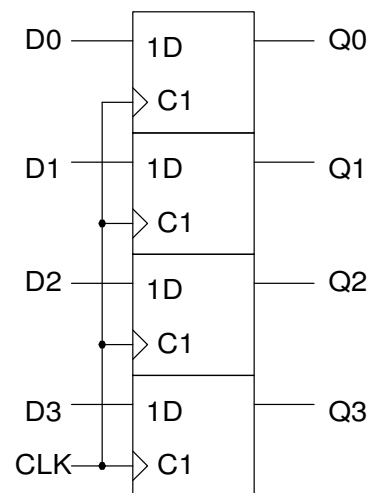


REGISTERS

- Een groep van flipflops om data te stockeren
 - **bufferregisters**: om gegevens tijdelijk op te slaan
 - **schuifregisters**: de inhoud vershuift doorheen de flipflops
- Synchronische schakeling
- Kan opgebouwd worden met D-FF, JK-FF, (SR-FF)
- 4 basistypes
 - parallel in - parallel uit
 - parallel in - serie uit
 - serie in - parallel uit
 - serie in - serie uit

parallel in - parallel uit bufferregister

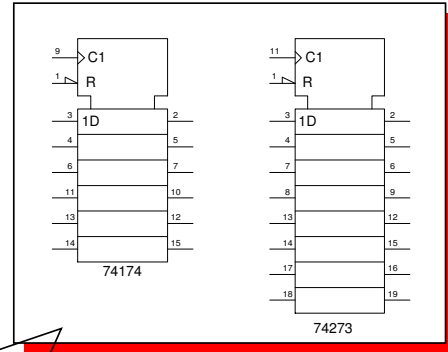
- De klok bepaalt het moment waarop de data geladen worden.
- Mogelijke bijkomende ingangen:
 - clock enable
 - » bepaalt wanneer er mag geladen worden
 - clear
 - » wist alle data
 - output enable
 - » bepaalt wanneer de output beschikbaar is; anders tri-state



Symbolen voor bufferregisters

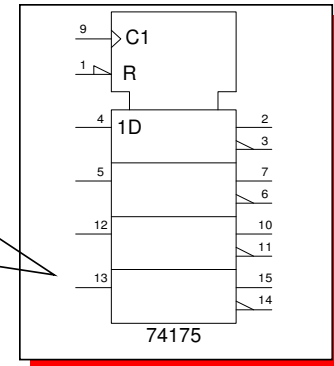
- Klok
- klok enable
- clear
- output enable

zijn gemeenschappelijk en komen dus in het gemeenschappelijk controleblok.



Voorbeelden van TTL-IC's met klok en Clear in het gemeenschappelijke controleblok

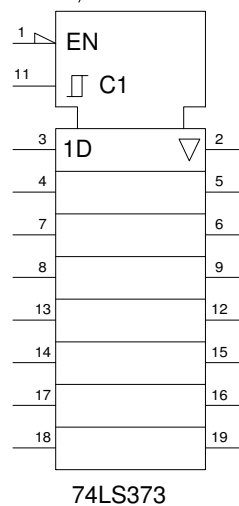
Voorbeeld van een register met de Q en de \bar{Q} uitgang.



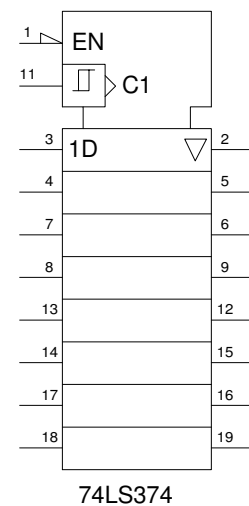
(output) enable en tristate

- **Enable = laag**
 - » data op de uitgang aanwezig
- **Enable = hoog**
 - » uitgang in tristate
- **Enable heeft enkel invloed op de sturing van de uitgangen en heeft geen enkele invloed op de interne werking**

EN stuurt de tri-state uitgangen



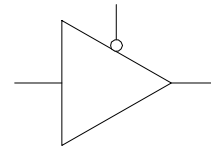
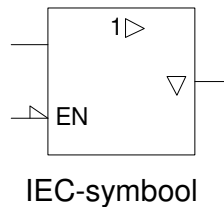
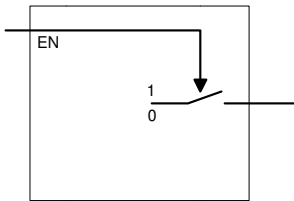
Transparante latch



Edge triggered FF

Tri-state uitgang met Enable ingang

- 'normale' TTL-uitgang = TOTEMPOLE structuur
 - » uitgangen mogen NIET met elkaar verbonden worden
- 'speciale' TTL-uitgangsstructuren:
 - open collector uitgang
 - 3-state uitgang
 - » als verschillende uitgangen BEURTELINGS met dezelfde signaallijn moeten verbonden kunnen worden - bv. BUS-structuur μP
 - » uitgang kan 3 verschillende toestanden aannemen: L, H of Hi-Z
 - » Hi-Z = hoog-impedant : in dit geval is de uitgang als het ware losgekoppeld van de signaallijn
 - » ENABLE-ingang zet de uitgang in ENABLE (geeft dan H of L uit) of in DISABLE (Hi-Z, losgekoppeld)



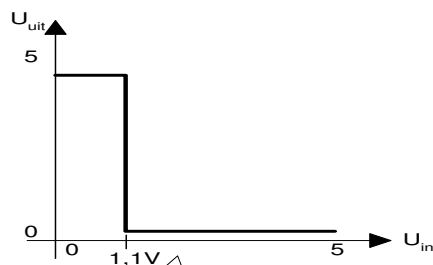
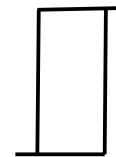
Registers 5

DIGITALE ELEKTRONICA 1PBa-ELO/ICT

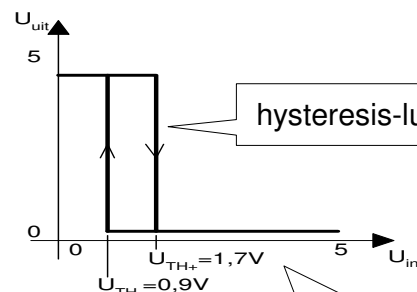
Schmitt-trigger

- Om ingangen minder gevoelig te maken voor storingen kunnen we een hysteresis voorzien.
- Deze hysteresis wordt bekomen aan de hand van een Schmitt-trigger schakeling

Schmitt-trigger symbool



gewone karakteristiek



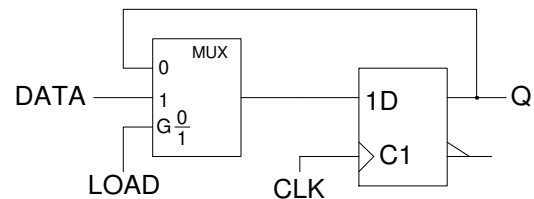
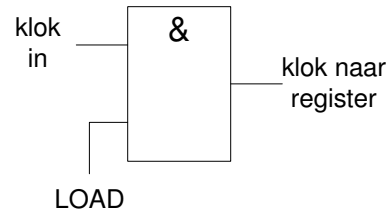
Schmitt-trigger karakteristiek

Registers 6

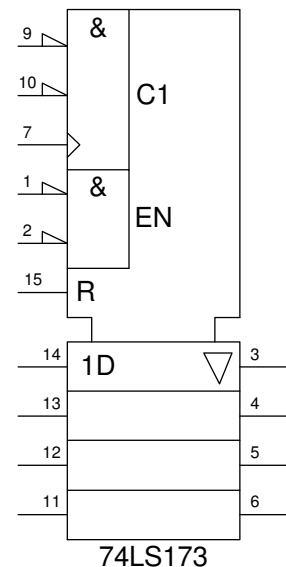
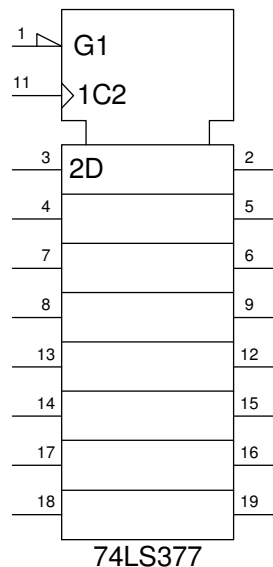
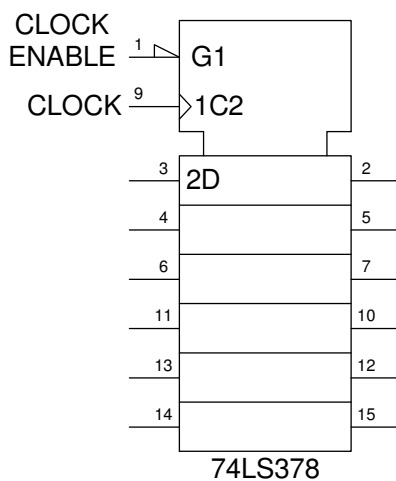
DIGITALE ELEKTRONICA 1PBa-ELO/ICT

Load ingang (clock enable)

- Het is niet altijd nodig (of wenselijk) dat bij elke klokcyclus nieuwe data in het geheugen weggeschreven worden.
- Load of clock enable zal bepalen wanneer er data opgeslagen wordt.
 - Kan door and tussen load en klok
 - » geeft vertraging op de klok
 - » 'gated clock'
 - » *deugt eigenlijk niet !*
 - Kan door multiplexer op de data ingang
 - » snellere en betere oplossing
 - » blijft volledig synchroon

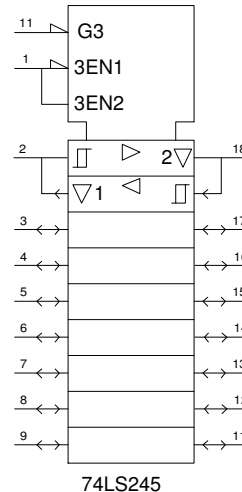


Voorbeelden LOAD ingangen



Bidirectionele buffer (transceiver)

- **Bestaat uit 2 tristate buffers die anti-parallel geschakeld zijn**
 - Eén register is hoog-impedant en de andere is actief
- **Controle-sigitaal bepaalt de richting van de data**
- **Vooral bruikbaar in micro-processor gerichte toepassingen**
- **Transceiver = transmitter + receiver**



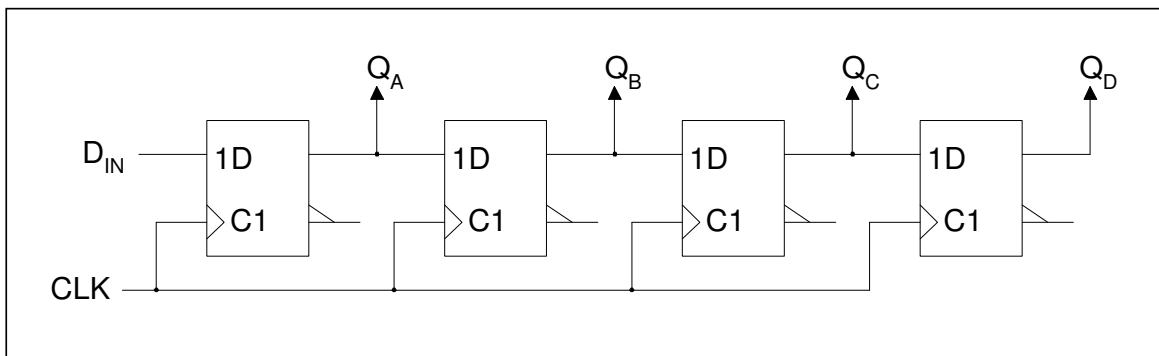
Merk op:

Bidirectionele buffers zijn alleen maar (stroom)buffers!

Ze hebben geen onthoudfunctie, het zijn geen geheugenschakelingen en dus ook geen registers!

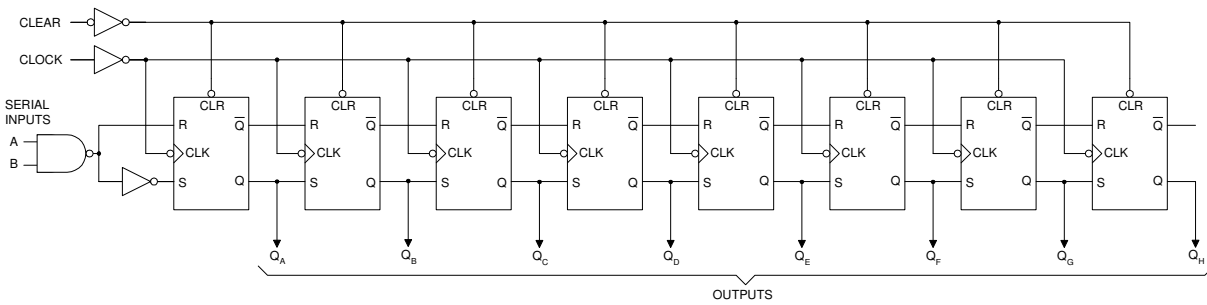
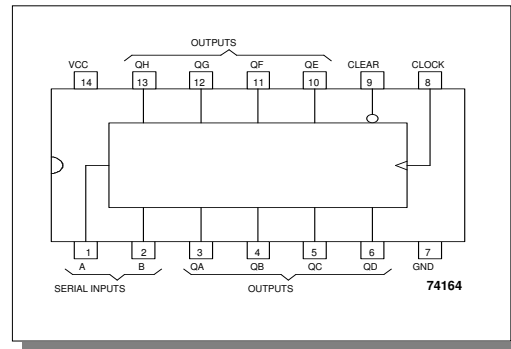
Serie in - parallel uit (SIPO) schuifregister

- **Uitvoering met D-flipflops**
 - kan ook met JK- of SR-FF die geschakeld zijn als D-FF
 - laatste bit gaat verloren
- **Toepassingen in**
 - vermenigvuldigers
 - communicatie (serieel naar parallel omzetting)



Praktische uitvoering : IC 74LS164

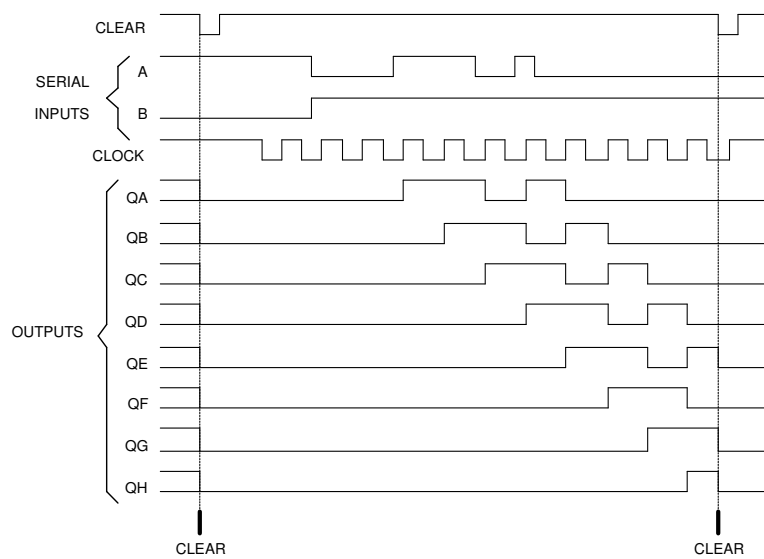
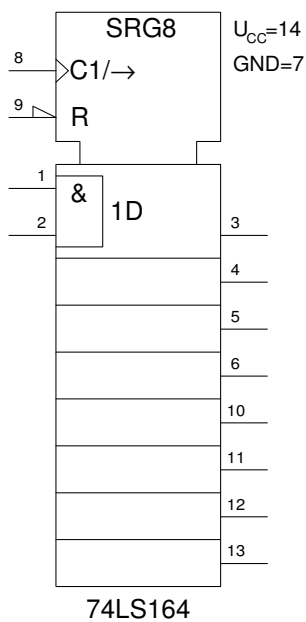
- Ingang is ontdebeld
- Clear is voorzien



Registers 11

DIGITALE ELEKTRONICA 1PBa-ELO/ICT

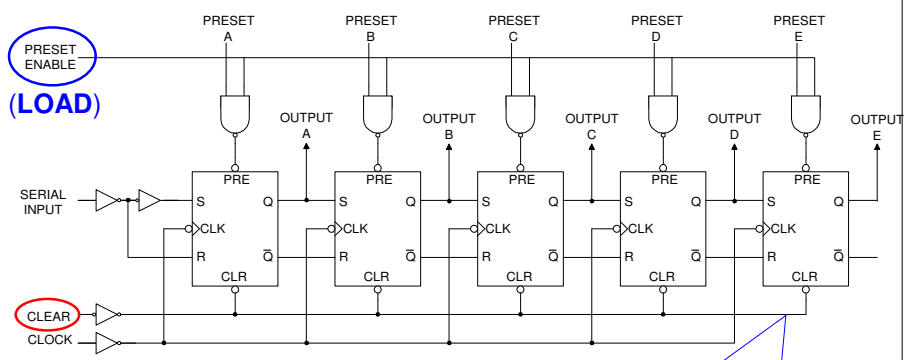
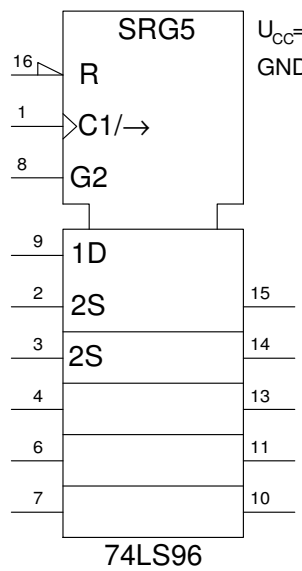
Symbol en timing 74LS164



Registers 12

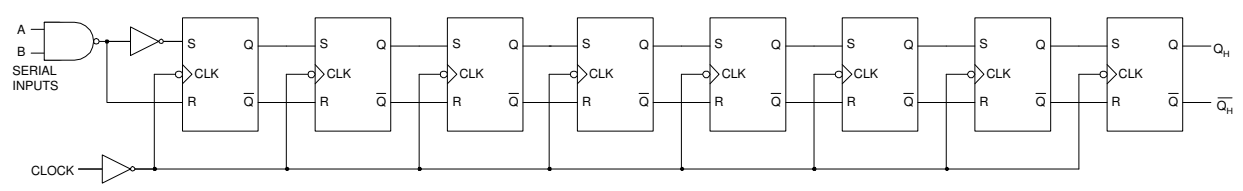
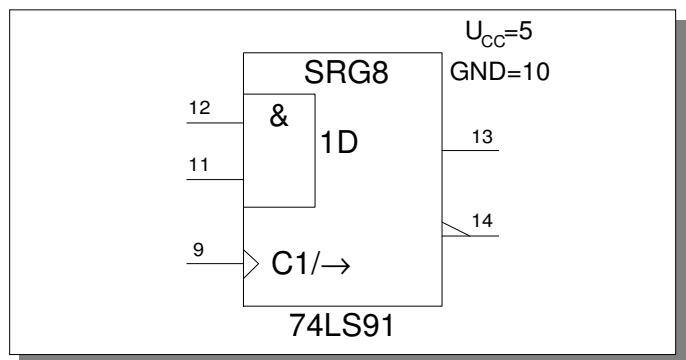
DIGITALE ELEKTRONICA 1PBa-ELO/ICT

Serie-parallel in - serie-parallel uit schuifregister : 74LS96

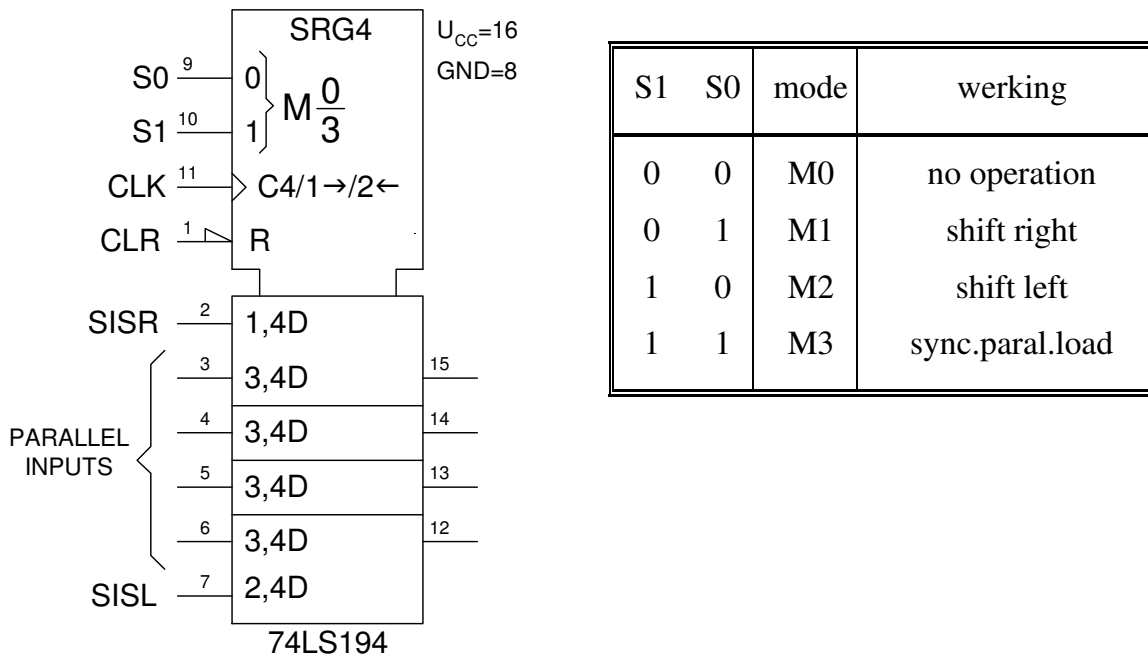


LOAD altijd laten voorafgaan door **CLEAR**
 (parallele ingangen zijn geen DATA-ingangen, maar PRESET-ingangen)

Serie in - serie uit schuifregister



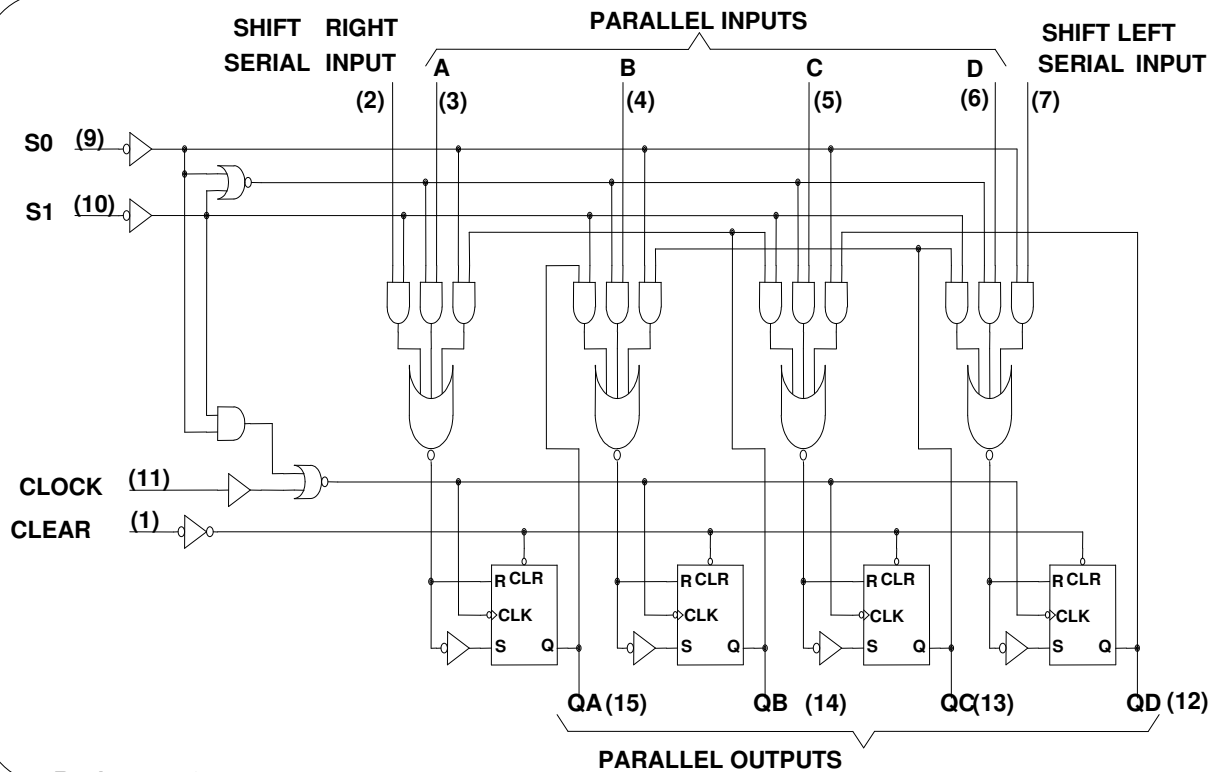
Bidirectioneel schuifregister



Registers 15

DIGITALE ELEKTRONICA 1PBa-ELO/ICT

Bidirectioneel schuifregister

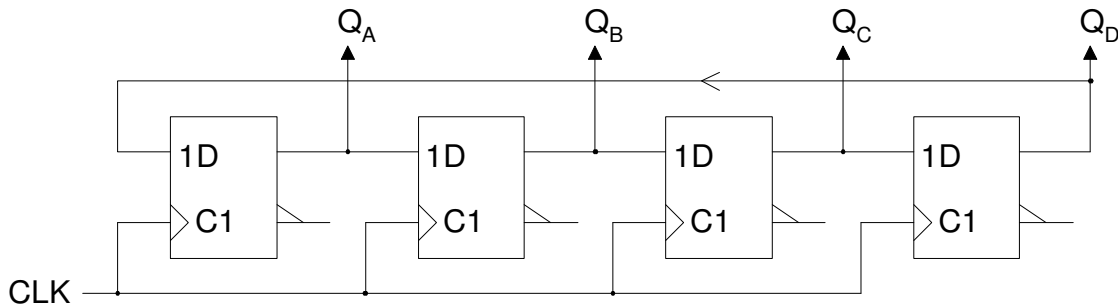
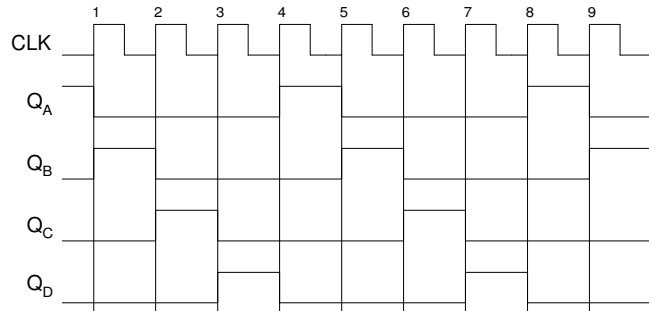


Registers 16

DIGITALE ELEKTRONICA 1PBa-ELO/ICT

Ringteller

CLK	Q _A	Q _B	Q _C	Q _D
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1
4	1	0	0	0
5	0	1	0	0

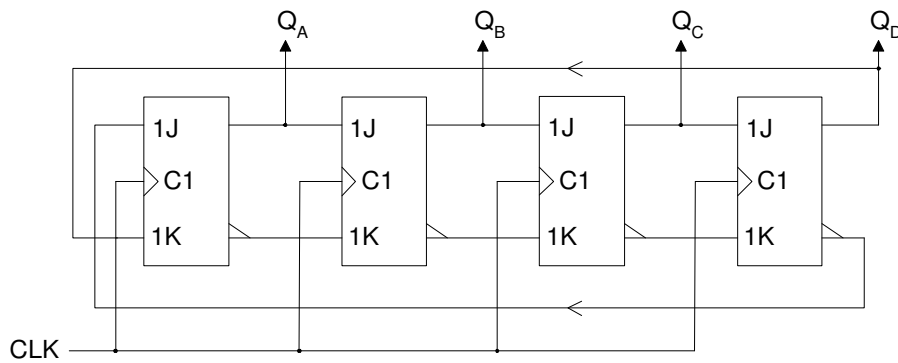
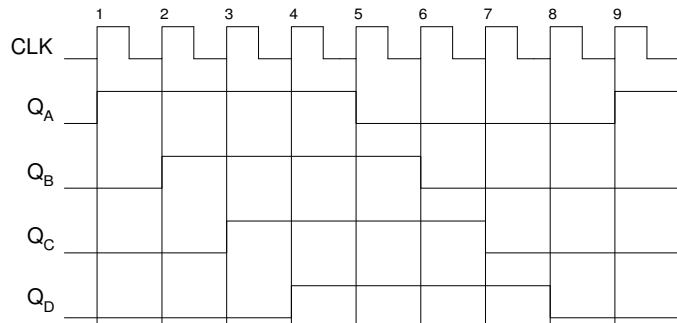


Registers 17

DIGITALE ELEKTRONICA 1PBa-ELO/ICT

Gekruiste ringteller of Johnson-teller

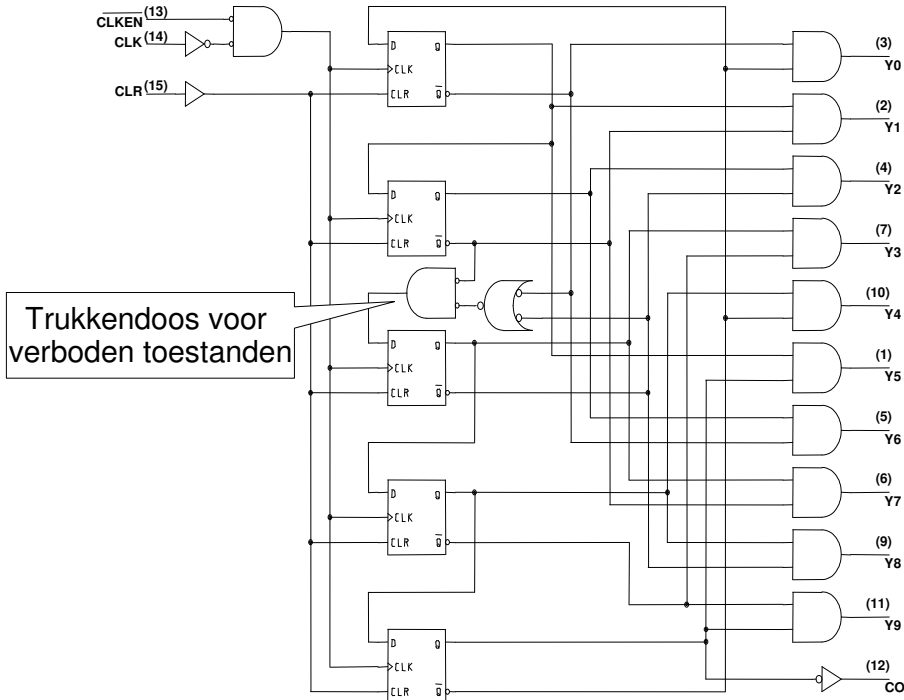
CLK	Q _A	Q _B	Q _C	Q _D
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1
6	0	0	1	1
7	0	0	0	1
8=0	0	0	0	0



Registers 18

DIGITALE ELEKTRONICA 1PBa-ELO/ICT

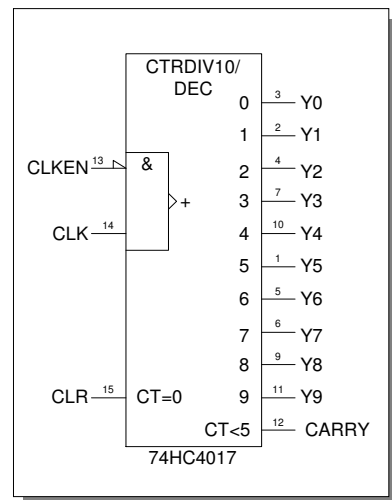
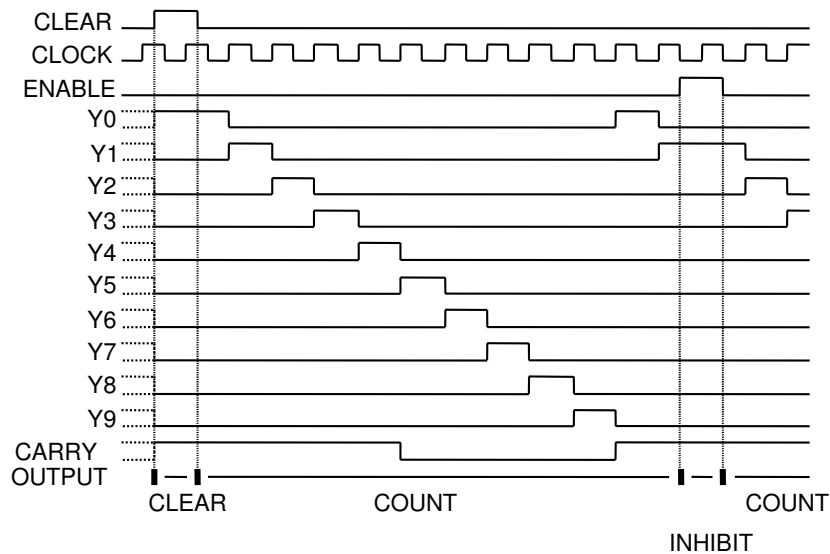
Johnsonteller 74HC4017 (10 deler)



Registers 19

DIGITALE ELEKTRONICA 1PBa-ELO/ICT

Johnsonteller 74HC4017 (10 deler)



Registers 20

DIGITALE ELEKTRONICA 1PBa-ELO/ICT