

## 4 TRANSISTORS A EFFET DE CHAMP EN COMMUTATION

### 4-1-Fonctionnement du transistor à l'effet de champ MOS.

#### 4-1-1-Principe de fonctionnement

Ce transistor s'appelle **MOS** pour métal, oxyde, silicium (figure 4-1). Comme le transistor bipolaire, il est composé de deux jonctions têtes-bêches, mais il y a cette fois quatre électrodes. La zone centrale (**Substrat**) est reliée à la référence de potentiel de masse (**0V** pour un substrat **p**). Une commande est appliquée sur le métal de **Grille** (ou gachette) placé au dessus d'un **Oxyde** isolant. Les deux autres électrodes sont appelées **Source** et **Drain**. Elles sont pour l'instant toutes les deux à la masse. L'ensemble substrat, isolant, grille constitue un condensateur dont l'une des électrodes (substrat) est un conducteur de relativement mauvaise qualité (**p<sup>-</sup>**). Quand un potentiel positif est appliqué à la grille, un condensateur normal voit cette grille s'appauvrir en électrons à sa surface interne et sa deuxième électrode s'enrichir des mêmes charges. Pour que les électrodes soient séparément équipotentielles, il faut d'ailleurs que les charges en regard soient égales (et de signe opposé).

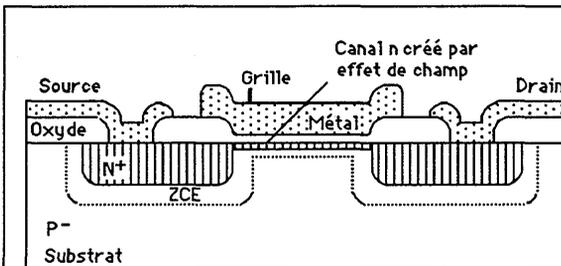


Figure 4-1 Transistor MOS à canal n. Un potentiel de grille positif par rapport au substrat peut créer un canal d'électrons par effet de champ.

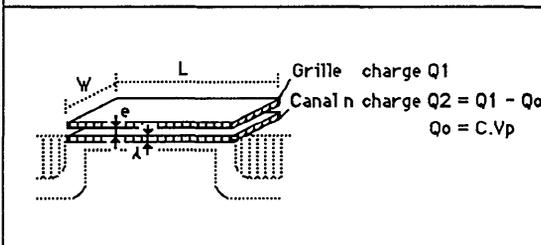


Figure 4-2 Condensateur de grille d'un transistor MOS.

$C$  capacité du condensateur de grille

$\lambda$  épaisseur du canal

$V_p$  voir le texte.

$s = \lambda.W, S = W.L, v = s.L$

$\langle n \rangle = Q2/v$

C'est ce qui se passe ici. Pour un état de charge positif du condensateur grille/substrat, une charge négative sera condensée contre l'isolant du côté de ce substrat. Or, cette deuxième électrode contient pour l'instant une précharge de porteurs libres essentiellement composée de trous (substrat **p**) compensée électrostatiquement par les impuretés

fixes négatives. Dans un premier temps cette modification de charge se traduira par un appauvrissement en trous surtout près de sa surface alors que la loi d'équilibre est toujours respectée ( $n.p = Cste$ ). Si l'on applique un potentiel régulièrement croissant à la grille, le substrat près de la surface va donc d'abord s'appauvrir en trous, puis lorsque le potentiel de grille sera devenu suffisant, des charges libres négatives pourront apparaître en excès. Il y a alors plus d'électrons que de trous contre l'isolant et tout se passe comme si l'on pouvait régler à volonté la densité de charge libre d'une couche pelliculaire (canal n) en fonction du potentiel  $V_{gs}$  appliqué entre grille et substrat. Il existe naturellement des dispositifs symétriques à canal p sur substrat n<sup>-</sup>. On peut évaluer la résistance équivalente de cette couche conductrice prise entre son contact de Drain et de Source (figure 4-2).

#### 4-1-2-Régime résistif

Avant l'application de  $V_{gs}$ , aucun courant (autre que de saturation) ne peut parcourir les deux diodes têtes-bêches existant entre source et drain soumis à une différence de potentiel  $V_{ds}$ . Le transistor est bloqué. Si l'on recommence l'expérience avec une tension  $V_{gs}$  suffisante, un courant peut s'établir puisqu'un semi-conducteur n (pelliculaire, il est vrai) établit un canal entre la source et le drain (de nature n<sup>+</sup> tous les deux). Le transistor se comporte donc comme une résistance commandable par  $V_{gs}$  : infinie pour  $V_{gs}$  inférieure à une certaine valeur puis de plus en plus faible quand  $V_{gs}$  augmente.

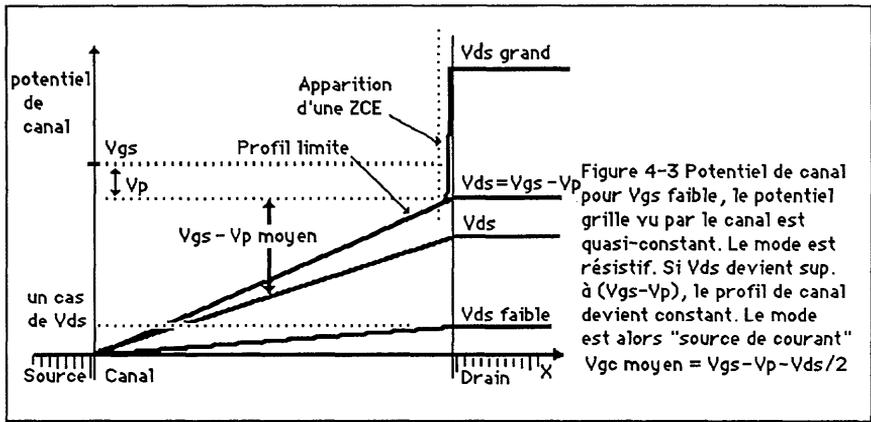
En fait, pour un transistor à canal n, un potentiel appliqué  $V_{gs}$  entraîne la charge de l'électrode supérieure à la valeur  $(C.V_{gs})$  si le condensateur ainsi constitué vaut C. Pour  $V_{gs}$  de valeur suffisante, la charge libre collée contre l'isolant, côté substrat vaut donc  $(C.V_{gs}-Q_0)$  si l'on désigne par  $Q_0$  la charge initiale due aux trous qu'il faut d'abord "compenser". La charge du canal contribue à établir une densité  $n=(C.V_{gs}-Q_0)/(s.L)$  où s désigne la section du canal et L sa longueur. Si l'on fixe le potentiel de la source au potentiel du substrat et que l'on applique une différence de potentiel  $V_{ds}$  entre drain et source, cette dernière provoque une vitesse de dérive des charges égale à  $\mu.V_{ds}/L$  (si  $\mu$  désigne la mobilité des électrons). Un courant  $I_{ds}$  peut donc s'installer entre drain et source :  $I_{ds} = q.s.n.\mu.V_{ds}/L$  (où q désigne ici la charge élémentaire de l'électron). Soit en remplaçant n par sa valeur :  $I_{ds}=q.\mu.(C.V_{gs}-Q_0).V_{ds}/L^2$ . A ce stade on peut écrire  $Q_0$  sous la forme  $C.V_p$  et interpréter  $V_p$  comme le potentiel de grille minimum permettant la création du canal.  $V_p$  est positif pour un canal n. En remplaçant C par sa valeur :  $(\epsilon_0.\epsilon_r.W.L/e)$  où e désigne l'épaisseur de

l'isolant, on arrive donc à :

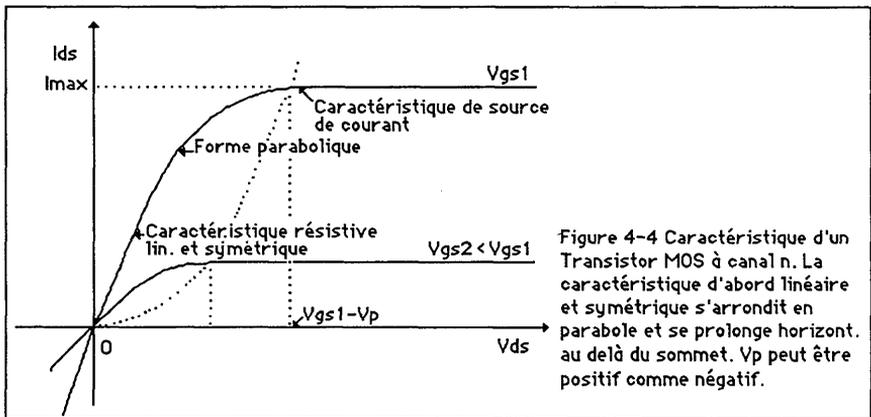
$$I_{ds} = (q \cdot \mu \cdot \epsilon_0 \cdot \epsilon_r / e) \cdot (W/L) \cdot (V_{gs} - V_p) \cdot V_{ds} = k \cdot (W/L) \cdot (V_{gs} - V_p) \cdot V_{ds}$$

Une équation du même genre aurait pu être établie pour un canal **p** avec une valeur de  $V_p$  négative. A  $V_{gs}$  fixé, nous avons un régime résistif linéaire qui relie  $I_{ds}$  et  $V_{ds}$ .

Cette expression n'est valable que si  $V_{ds} \ll (V_{gs} - V_p)$ , car dans le cas contraire, le graphique de la figure 4-3 montre clairement que le potentiel grille/canal évolue le long du canal et diminue côté drain. Cela augmente donc la résistivité locale et diminue le courant global.



Pour tenir compte de ce phénomène on remplacera la différence de potentiel grille/canal variable, par sa valeur moyenne supposée constante  $(V_{gs} - V_p - V_{ds}/2)$ . Dans l'expression du courant  $I_{ds}$ , cela donne :  $I_{ds} = k \cdot (W/L) \cdot (V_{gs} - V_p - V_{ds}/2) \cdot V_{ds}$ .



La caractéristique est maintenant parabolique. Pour que le canal existe

malgré tout il faut qu'en chacun de ses points, le potentiel reste inférieur à la tension de grille d'au moins  $V_p$ . Ceci amène une valeur limite pour  $V_{ds}$  :  $V_{ds} < (V_{gs} - V_p)$ , valeur atteinte précisément pour le sommet de la parabole (Figure 4-4).

#### 4-1-3-Régime source de courant

Lorsque  $V_{ds} > V_{gs} - V_p$ , il y a fatalement apparition d'une discontinuité de tension à l'extrémité du canal côté drain, car pour exister, tous ses points doivent rester à un potentiel inférieur à  $(V_{gs} - V_p)$  (la répartition des potentiels sous ce canal ne peut d'ailleurs plus évoluer). A cet endroit, une zone de résistivité très grande de type **ZCE** se développe et absorbe tout accroissement de  $V_{ds}$ . Le potentiel en bout de canal, côté drain devient constant, égal à  $(V_{gs} - V_p)$  et le profil électrostatique du canal devient invariant. Cela veut dire que le courant d'électrons qui parcourra ce canal devient lui aussi constant, fixé par une tension apparente de drain égale à  $(V_{gs} - V_p)$ . Il vaut donc

$$I_{ds} = k \cdot (W/L) \cdot ((V_{gs} - V_p)/2) \cdot (V_{gs} - V_p)$$

$$\text{soit : } I_{ds} = (k/2) \cdot (W/L) \cdot (V_{gs} - V_p)^2$$

La caractéristique de la figure 4-4 nous montre alors que le dispositif est équivalent à une source de courant (en exacte continuité avec la courbe du mode résistif).

Cette explication (à l'ordre zéro) est loin de refléter tous les phénomènes présents dans un tel composant, mais elle est très simple et suffisante pour notre étude de la commutation. On se doute par exemple, que  $V_{ds}$  module la largeur de la zone de "pincement" du canal, donc la longueur restante du canal (surtout pour les composants à canal court). Il doit donc exister un phénomène d'inclinaison des caractéristiques dans les paliers horizontaux (comme le phénomène **EARLY** des transistors bipolaires). On a également dans la zone de pincement, un champ important (comme pour la **ZCE** de collecteur d'un bipolaire), il existera en conséquence les phénomènes habituels de percement ou d'avalanche qui au premier niveau, limiteront surtout la zone d'utilisation normale du dispositif.

Le transistor que l'on vient de décrire est un transistor à canal **n** (substrat **p**). Il est non conducteur lorsque sa grille est au potentiel **0** (normaly off ou n-off). A la construction, on aurait pu par implantation ionique, pré-créer un canal **n** très fin dans le substrat **p**, ce canal existerait donc dès  $V_{gs} = 0$ , mais serait modulable comme pour un transistor normal (le transistor est alors appelé normaly on). En fait il aurait les mêmes équations de comportement qu'un transistor habituel avec pour seule différence  $V_p < 0$ .

On aurait pu également décrire le fonctionnement des transistors **MOS** avec un canal **p** dans un substrat **n**. Remarquons seulement que dans ce

cas, il faut appliquer une tension  $V_{gs}$  plus négative que  $V_p$  pour que le canal existe (n-off) ou soit plus conducteur.

#### 4-1-4 Equations des transistors MOS

Nous résumerons cette étude du fonctionnement des transistors **MOS** par les équations suivantes (conventions de la figure 4-5) pour un canal **n** :

$$I_{ds} = 0$$

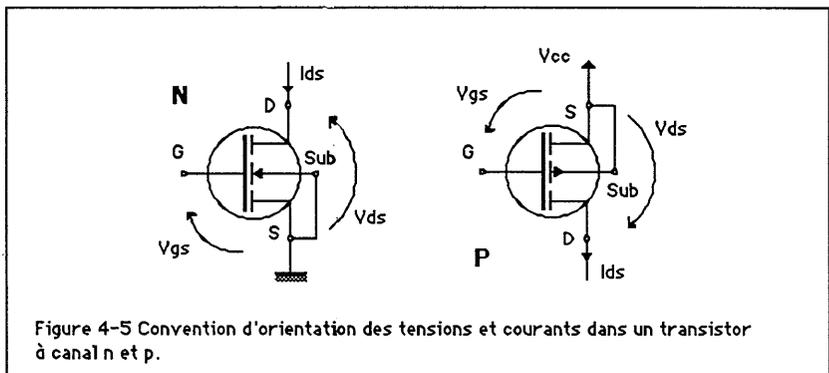
si  $(V_{gs} - V_p) < 0$   $V_p > 0$  pour un transistor **n** (n-off)

$$I_{ds} = k \cdot (W/L) \cdot (V_{gs} - V_p - V_{ds}/2) \cdot V_{ds}$$

si  $(V_{gs} - V_p) > V_{ds} > 0$

$$I_{ds} = (k/2) \cdot (W/L) \cdot (V_{gs} - V_p)^2$$

si  $V_{ds} > (V_{gs} - V_p) > 0$



pour un canal **p**, les équations sont bien sûr symétriques

$$I_{ds} = 0$$

si  $(V_{gs} - V_p) > 0$   $V_p < 0$  pour un transistor **p** (n-off)

$$I_{ds} = k \cdot (W/L) \cdot (V_{gs} - V_p - V_{ds}/2) \cdot V_{ds}$$

si  $(V_{gs} - V_p) < V_{ds} < 0$

$$I_{ds} = (k/2) \cdot (W/L) \cdot (V_{gs} - V_p)^2$$

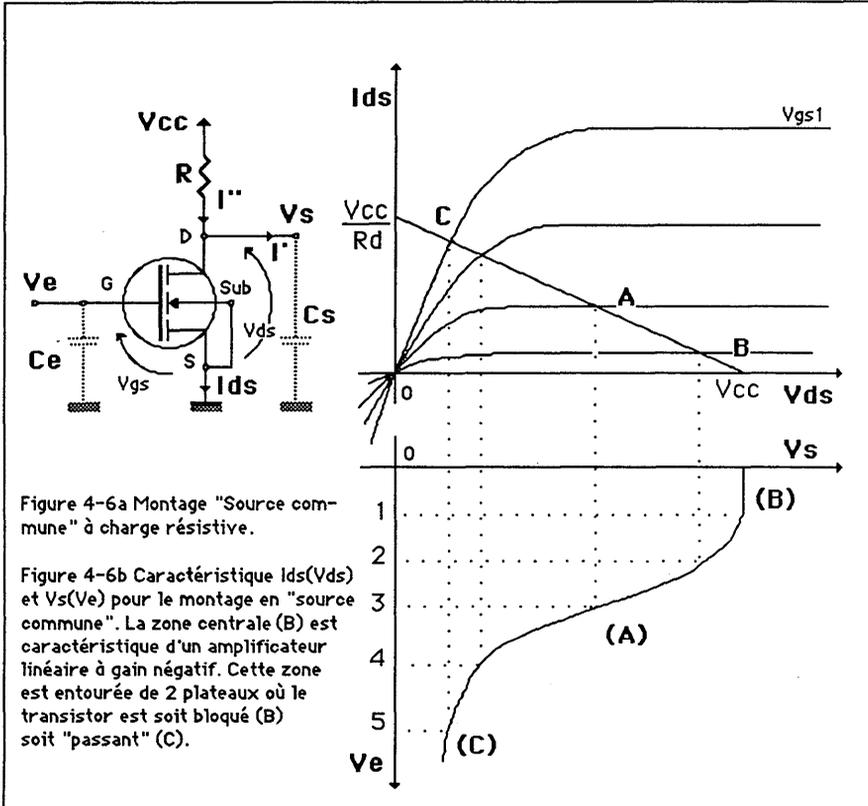
si  $V_{ds} < (V_{gs} - V_p) < 0$

#### 4-2-Montages de base à transistor MOS

Afin de prendre contact avec ce nouveau dispositif au comportement aussi simple, nous étudierons le fonctionnement du

montage non moins simple de la figure 4-6a.

On suppose pour commencer que ( $V_{gs} = V_{eo}$ ), tel que le point de fonctionnement (point de repos) soit donné par le point A de la figure 4-6b.



Ce point est obtenu par intersection de la droite de charge partant de  $V_{cc}$ , de pente  $-1/R_d$  et la caractéristique  $I_{ds}(V_{ds})$  pour  $V_{gs} = V_{eo}$  :

$$I_{dso} = (k/2) \cdot (W/L) \cdot (V_{eo} - V_p)^2.$$

Si partant de cette situation, on superpose à  $V_{eo}$  un signal  $v_e$ ,  $I_{ds}$  se décompose au premier ordre en deux contributions :

$$I_{ds} = I_{dso} + k \cdot (W/L) \cdot (V_{eo} - V_p) \cdot v_e = I_{dso} + k' \cdot v_e$$

On en déduit qu'un tel montage peut fonctionner en amplificateur inverseur de petits signaux de gain en tension :  $G = -R_d \cdot k'$ . Ce gain en tension, est communément plus faible que dans le cas des transistors bipolaires, mais il faut remarquer que le gain en puissance, lui, est bien plus grand (pour une puissance de sortie constante, il ne faut pas de puissance d'entrée permanente, juste une énergie transitoire de charge/décharge de la capacité de la grille d'entrée).

En grands signaux, lorsque  $V_{gs}$  varie de 5 à 0 Volts (avec un  $V_p$  de

+1V), le point de fonctionnement décrit toute la droite de charge de **B** à **C**. On peut ainsi construire point à point, la caractéristique de transfert en grands signaux ( $V_s = f(V_g)$ ).

On voit que de part et d'autre d'une zone relativement linéaire de gain **G**, la courbe se complète par deux plateaux de pente faible. A partir de cette caractéristique, on peut déterminer les trois régimes de fonctionnement du transistor. Comme pour le bipolaire, nous avons de part et d'autre du régime actif, un mode bloqué et un mode que nous appellerons ici passant, puisque l'appellation "saturé" est plus communément attribuée au comportement "en source de courant", qui fait partie du mode actif.

Nous verrons plus tard que cette forme non linéaire en **S** est la base de la fonction de "régénération" des dispositifs logiques, aussi allons nous modéliser le transistor dans les différents modes, pour voir quels sont les phénomènes pouvant limiter sa rapidité d'évolution d'un mode à l'autre.

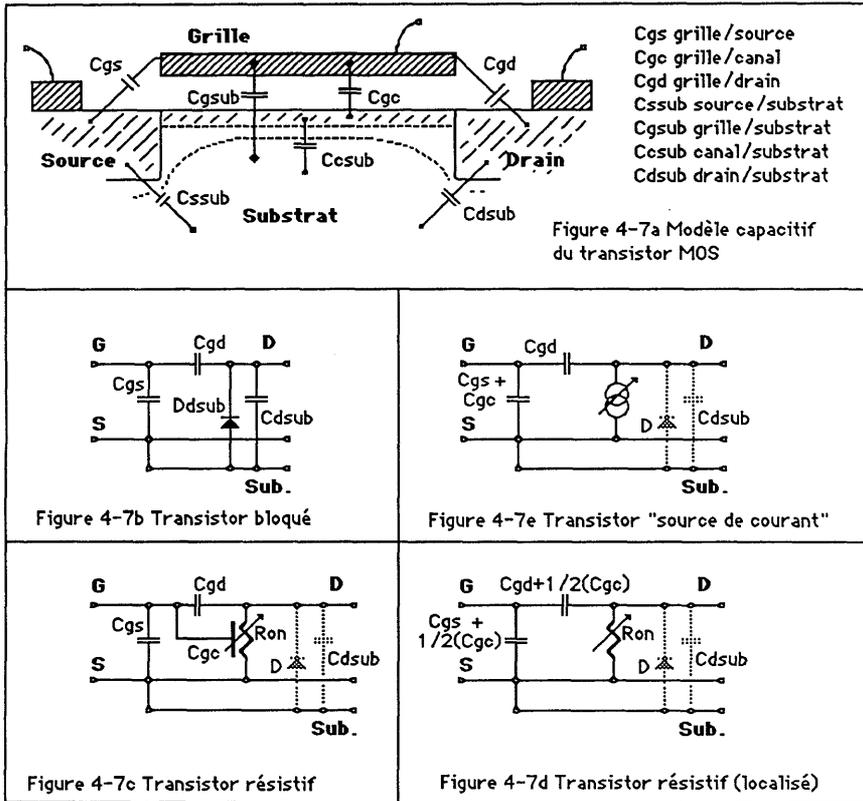
### 4-3 Modélisation du MOS

Le transistor **MOS** est un dispositif "unipolaire". Son modèle peut être construit à partir de la figure 4-7a.

En se souvenant qu'habituellement source et substrat sont reliés, on peut distinguer les capacités d'influences géométriques entre grille et substrat, grille et drain, grille et source et enfin grille et canal. Il y a également à considérer les capacités source/substrat, canal/substrat et drain/substrat. Pour compléter le modèle, il faut tenir compte du fait que le canal existe ou non. S'il n'existe pas, aux courants de saturation de diodes en inverse près, le modèle se réduit à celui de la figure 4-7b. Le transistor est bloqué. Modifier son état demandera d'abord de modifier l'état de charge de  $C_{gs}$  en parallèle sur  $C_{gd}$ .

Quand le transistor est en mode résistif, le canal est quasi-homogène et uniforme. Géométriquement, il est évident que la capacité  $C_{gc}$  qui apparaît doit être plus importante que toutes les autres, ne serait-ce qu'à cause de la finesse de l'oxyde. Le meilleur schéma serait du genre de la figure 4-7c, que l'on transforme en éléments localisés en répartissant la capacité de canal à parts égales des côtés source et drain (figure 4-7d).

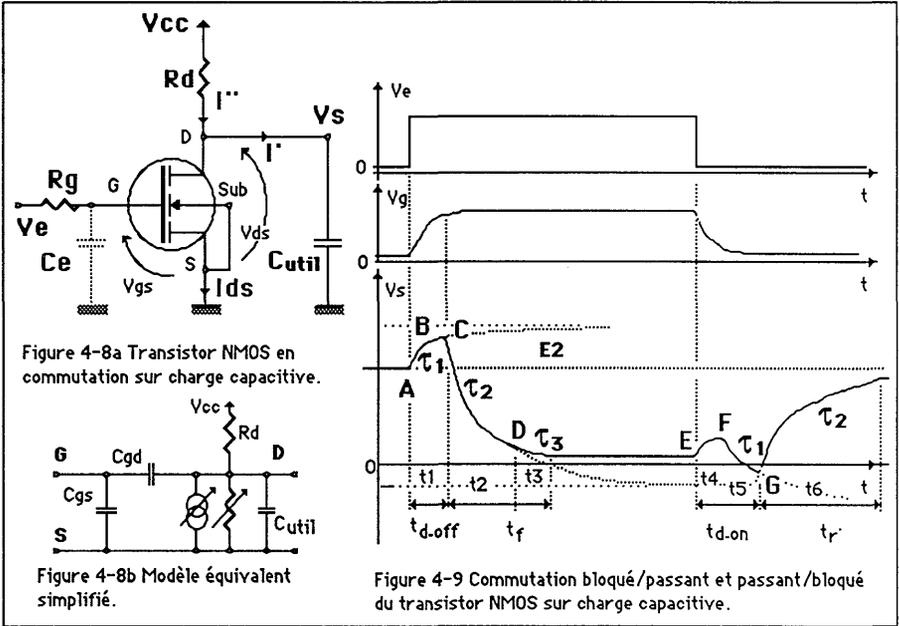
Lorsque le transistor est pincé en mode source de courant, le canal est plutôt équipotentiel à la source, de ce fait, la capacité de canal  $C_{gc}$  se reporte principalement sur cette dernière (figure 4-7e). Dans ce cas, la capacité globale grille/source est d'un ordre de grandeur supérieure à la capacité  $C_{gd}$  qui sera souvent négligée, sauf lorsque le montage sera utilisé en amplificateur analogique de tension (car un effet dit de **Miller** augmenterait la capacité équivalente vue de l'entrée dans un rapport égal au gain).



#### 4-4-1 Aspects qualitatifs

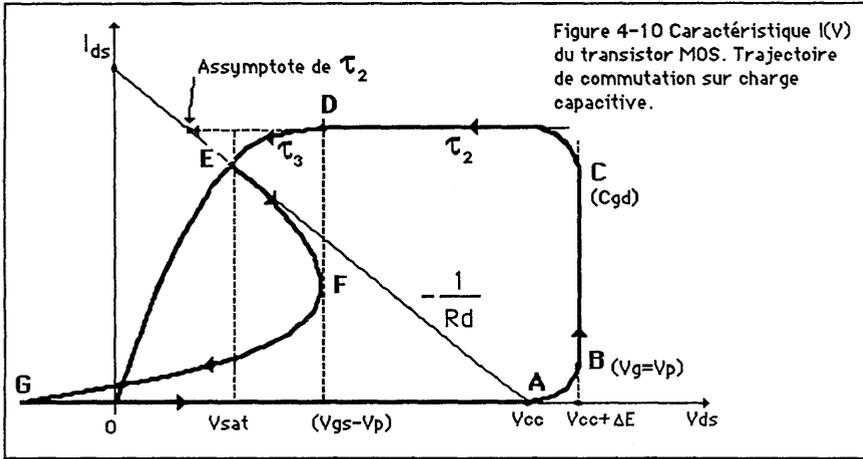
Considérons le montage de la figure 4-8 que nous attaquons par le signal de la figure 4-9. Le modèle appelle quelques commentaires. Ce transistor est un dispositif qui travaille uniquement avec des porteurs majoritaires. Même les électrons du canal sont, par effet de champ, dans un état d'équilibre vis à vis de la recombinaison. De ce fait, les potentiels des électrodes évolueront si les charges des capacités évoluent et celles-ci évolueront de façon "habituelle", en fonction des courants qui circulent sous l'effet des potentiels appliqués ( $I = C \cdot dV/dt$ ). Il n'y a pas de conflits entre la diffusion de charges injectées et la conduction par champ, comme dans les transistors bipolaires. La conséquence est que le modèle est très "structurel". Des résistances vont limiter la vitesse de charge des capacités qui vont conduire à l'établissement de potentiels et donc, à l'établissement de courants permanents. Une conséquence au deuxième ordre est que "charger" un tel transistor par des condensateurs extérieurs, en entrée comme en sortie, ne modifiera pas la nature des phénomènes mais peut être leur importance relative. Ceci va nous conduire à étudier directement le comportement du

transistor en commutation lorsqu'il est branché sur des charges capacitives (parasites ou utiles), car c'est le mode de fonctionnement le plus fréquent dans les circuits intégrés.



Dans un premier temps, pour les instants précédant le point A, le canal est absent et le système se réduit aux capacités géométriques. Après application de la tension de commande, le potentiel de grille évolue selon un circuit passe-bas du premier ordre et par la capacité  $C_{gd}$ , on assiste à un report d'une fraction de tension d'entrée sur le drain (pont diviseur  $C_{gd}, C_{ds}$ ). Sur la figure 4-10, le point de fonctionnement évolue de A à B.

Quand  $V_{gs}$  dépasse  $V_p$ , le transistor commence à conduire (l'installation du canal peut être considéré comme rapide devant les autres phénomènes). Un courant s'installe, qui tend à décharger  $C_{gs} + C_{util}$  donc à faire baisser  $V_{ds}$ , "a contrario" du report de l'échelon d'entrée. Sur la caractéristique (figure 4-10), la tension  $V_{ds}$  va parcourir un arc grossièrement vertical de B à C et le point de fonctionnement atteint le point C avec une tension de grille et un courant de drain totalement établi, alors que la tension  $V_{ds}$  est encore élevée. Le temps qui s'est écoulé est approximativement égal à  $t_{doff}$ . Il correspond à l'établissement d'un courant quasi indépendamment de la tension de sortie.



La deuxième phase correspond à la décharge effective de  $C_{util} + C_{gs}$  par un courant de drain établi et quasi constant, au moins tant que le point de fonctionnement évolue entre C et D. Au point D, la tension  $V_{ds}$  est souvent très basse. Dans ce cas, le transistor a déjà quasi-commuté (courant établi, tension disparue)...une queue de tension sera malgré tout présente entre les points D et E. L'ensemble du passage de C à E constituera le temps  $t_r$ , temps d'évolution de la tension, à courant établi.

Pour la commutation inverse, le transitoire est également d'allure complexe et peut grossièrement se décomposer en un temps de retard à la montée  $t_{don}$  et un temps de montée  $t_r$ .

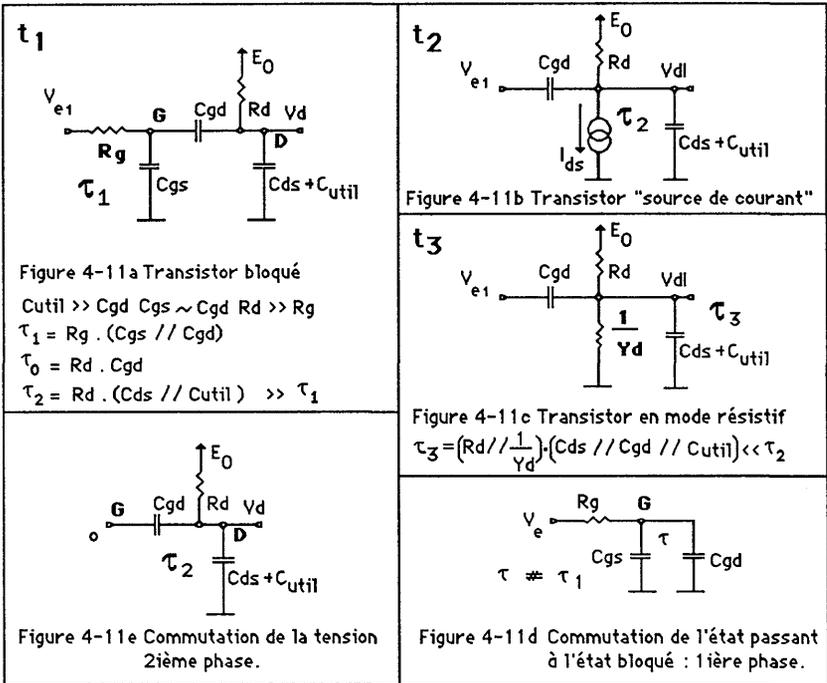
Le premier correspond au temps effectif de blocage du courant. La forme de la tension en fonction du temps et de la trajectoire  $I(v)$  entre les points E, F, et G s'explique par le fait qu'au début, le courant diminuant, la tension  $V_{ds}$  a tendance à augmenter, mais en même temps la conductance de drain diminue et l'effet de report de charge par l'entrée sur le drain se fait de plus en plus sentir. La tension  $V_{gs}$  évoluant vers les tensions plus négatives, ceci se traduit par un pic de tension négative en accompagnement de l'évolution de la grille. Globalement, après un temps de retard  $t_{don}$ , la tension de grille (et donc le courant de drain) a complètement commuté. On se retrouve au point G avec une capacité de sortie à charger à la tension d'alimentation par la résistance  $R_D$ . Ceci se fera pendant le temps  $t_r$ .

#### 4-4-2 Evaluation de $t_{doff}(= t_1)$

La tension  $V_{gs}$  évolue en première approximation, comme un premier ordre de constante de temps  $\tau_1$  et tant que  $V_{gs} < V_p$ , le modèle

équivalent est réduit à celui de la figure 4-11a.

Au delà de cette tension, un courant  $I_{ds}$  s'installe, mais dans l'hypothèse d'un transitoire suffisamment bref ( $\tau_1$  petit), on assiste au report d'une fraction de l'échelon d'entrée sur la tension du drain (pont diviseur capacitif  $C_{gd}/C_{util}$ ). Quand la tension  $V_{gs}$  parvient à 90% de  $V_{e1}$ , le courant peut être considéré comme totalement établi, alors que la tension de sortie  $V_{ds}$  n'a encore que peu évolué. Ceci est dû à la valeur de la capacité de sortie mais aussi au report d'une partie de l'échelon positif d'entrée sur le drain. Le point de fonctionnement est autour du point C :  $t_{doff} = t_1 + 2.2 \cdot \tau_1$ .



**4-4-3-Evaluation de  $t_f (= t_2 + t_3)$**

Dans un premier temps, on parcourt l'arc C-D de la figure 4-10. Le schéma équivalent est donné en Figure 4-11b. On part d'une tension qui vaut environ  $E_0$  et l'on se dirige asymptotiquement vers  $(E_0 - R_d \cdot I_{Dss})$  selon l'équation :

$$V_{ds} = E_0 - R_d \cdot I_{Dss} \cdot (1 - \text{EXP}(t/\tau_2))$$

Le temps  $t_2$  est écoulé quand  $V_{ds} = (V_{e1} - V_p)$

$$t_2 = \tau_2 \cdot \ln (R_d \cdot I_{dss} / (R_d \cdot I_{dss} - E_0 + V_{e1} - V_p))$$

Alors on entame la troisième phase de la commutation et le schéma équivalent est celui de la figure 4-11c. L'évolution est alors exponentielle, de constante  $\tau_3$  (inférieure à  $\tau_2$ , mais il faut remarquer que l'asymptote est aussi beaucoup plus proche). Pour s'approcher depuis le départ, à mieux de 10% de la valeur d'équilibre ( $V_{sat}$ ), le temps nécessaire dépend de la valeur relative de  $V_{sat}$  et de  $(V_{e1} - V_p)$ . On considérera en général qu'il suffit de s'approcher au tiers de cette nouvelle nouvelle asymptote :  $t_3 \approx \tau_3$ . Au total,  $t_f = t_2 + t_3$ .

#### 4-4-4 Temps de retard $t_{don}$ à la commutation passant/bloqué

En début de la commutation du courant, le transistor est passant et sa conductance est grande. Le schéma équivalent vu de l'entrée est du genre de la figure 4-11d et au moins au début, l'évolution temporelle de  $V_{gs}$  est exponentielle de constante  $\tau_1$ . Malgré l'évolution de la répartition de la capacité de canal au cours de la commutation, on conservera cette valeur pendant toute la commutation. Quand  $V_{gs}$  varie, la conductance  $Y_d$  devient faible. Le drain n'est plus maintenu par une impédance faible à  $V_{sat}$ , son potentiel augmente en suivant la droite de charge car  $I_{ds}$  diminue. Lorsque  $I_{ds}$  est devenu faible, il se met alors à diminuer car  $V_{gd}$  reporte une partie de sa variation négative par un schéma du type de la figure 4-11a. Le retard  $t_{don}$  correspond au temps de commutation de la grille, il donne le temps de commutation du courant, quasi indépendamment de l'évolution de la tension de drain. Dans ces conditions :  $t_{don} \approx 2.2 \cdot \tau_1$ . Pendant ce temps, on a parcouru la trajectoire E, F, G sur la figure 4-10.

#### 4-4-5 Temps de montée de la tension de sortie $t_r$

Cette montée se fait approximativement à courant  $I_{ds}$  nul et  $V_{gs}$  constant. Le transistor est déjà totalement "coupé" et n'intervient plus que par ses capacités parasites selon le modèle de la figure 4-11e. Partant d'une tension que l'on considère comme quasi-nulle, on évolue exponentiellement vers  $E_0$  pour approcher à 90% de l'asymptote.

On aura donc :  $t_r \approx 2.2 \cdot \tau_3$ .

#### 4-5 Optimisation de la commutation du transistor MOS

On ne peut espérer compenser la commutation du transistor à proprement parler. On peut améliorer par  $\tau_1$  le temps de commutation de la grille en diminuant  $R_g$ , ou en branchant un condensateur en parallèle afin de diminuer sa résistance dans les transitoires. On peut enfin donner à l'attaque de tension une forme du type de la figure 4-12 toujours pour diminuer le transitoire de charge de  $C_{gs}$ .

Remarquons qu'on ne peut ainsi qu'augmenter la vitesse d'installation du courant interne  $I_{ds}$ , mais pas celle du courant externe utilisable (courant à travers la charge), lié à la valeur de la tension de drain. Or celle-ci n'est en première approximation, lié qu'à la constante de temps  $\tau_2 = (R_d \cdot C_{util})$ . Pour améliorer les choses, on peut donc vouloir diminuer  $R_d$ .

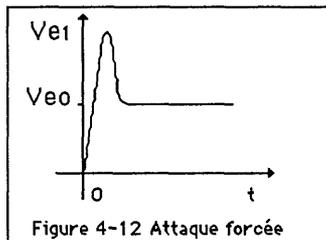


Figure 4-12 Attaque forcée

Dans ce cas, on diminue l'incursion de tension et l'on augmente le courant nécessaire à la commutation. On augmente donc les tensions de commande et la puissance nécessaire à la commutation...

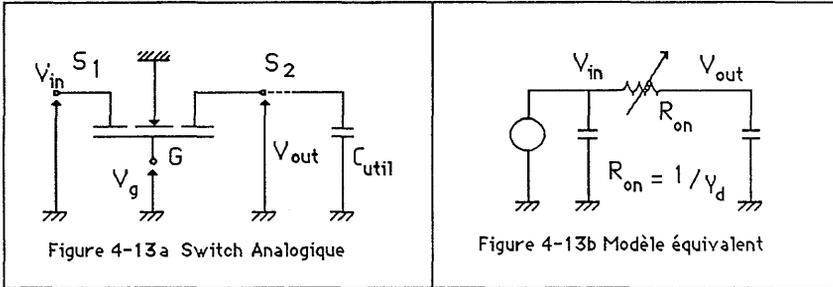
On peut au contraire chercher à diminuer  $C_{util}$ . Le malheur est que  $C_{util}$  est la "capacité utile" de la commutation. On ne pourra donc bien souvent pas "régler" cette capacité, mais plutôt être vigilant à sa valeur. Remarquons enfin que prendre un transistor "large" ( $W/L$  grand), augmente les courants, mais entraîne un dimensionnement en proportion des capacités internes ( $C_{gd}$ ,  $C_{gs}$ ,  $C_{ds}$ ...). L'amélioration sur la commutation sera donc toute relative.

#### 4-6 "Switch" à transistor MOS

Soit un transistor NMOS (figure4-13a) et  $V_{gsub} = 0V$ . Quelque soit la tension  $V_{in}$  appliquée (on suppose qu'il n'y a pas de sources de courant du côté de  $S_2$ ), le transistor est **non passant** car la différence de potentiel entre  $G$  et  $S1$  ou  $S2$  ne peut qu'être négatif.

Donnons maintenant à  $V_{gsub}$ , une valeur supérieure à  $V_p$  (tension de création de canal), le transistor est conducteur pour toute tension

appliquée côté  $S_1$  inférieure à  $(V_{g_{sub}} - V_p)$ . Si cette dernière condition n'était pas respectée, il ne serait conducteur que lorsque  $V_{out}$  est inférieure à  $(V_{g_{sub}} - V_p)$ .  $V_{out}$  augmenterait donc et deviendrait stable à cette valeur limite.



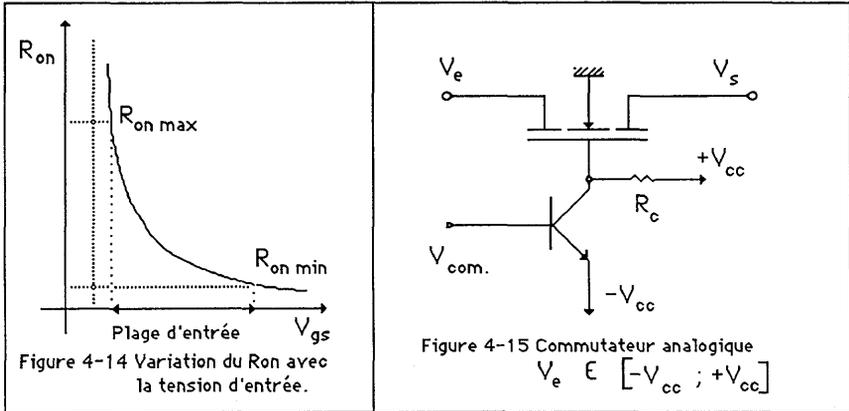
Dans un tel fonctionnement, une tension d'entrée peut être transmise en sortie si elle reste inférieure de  $V_p$  à la commande de la grille. A contrario, si  $V_{g_{sub}}$  est suffisamment positif (supérieur de plus de  $V_p$  à la plus grande des valeurs que peut prendre  $V_{in}(t)$ ), le transistor est toujours passant et la tension finale en  $S_2$  peut reproduire celle en  $S_1$  (si le signal  $V_{in}$  est suffisamment lent pour en laisser le temps). Comme  $V_{ds}$  finit toujours par devenir faible, on aboutit systématiquement à un régime de type résistif et "comportementalement parlant", il n'y a pas de drain. C'est pour cela que nous avons adopté les notations  $S_1$ ,  $S_2$ ,  $V_{in}$  et  $V_{out}$  sur la figure 4-13a.

Le schéma équivalent est donné en figure 4-13b. La conductance  $Y_d$  est variable en fonction de  $V_{gs}$  ( $S$  est parmi  $S_1$  et  $S_2$  l'électrode de potentiel inférieur :  $V_{gs} = \sup (V_{gs1}, V_{gs2})$ ).

Un tel montage est appelé **switch analogique** car la tension de sortie en régime établi, reproduit la tension d'entrée. Ceci demande d'ailleurs que la bande passante du signal d'entrée soit plus petite que l'inverse de  $2,2 \cdot \tau_{max}$  (où  $\tau_{max} = C_{util} \cdot R_{on\ max}$ ) et ceci impose bien une borne inférieure à  $V_g$ .

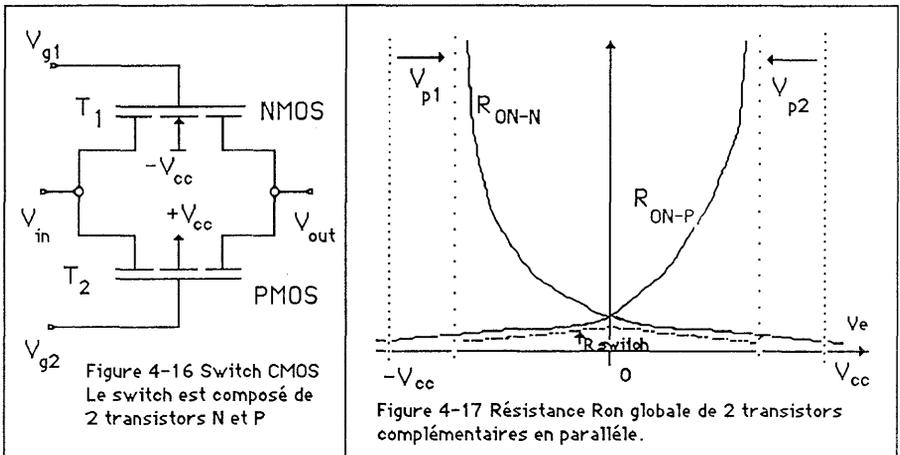
Cela demande pratiquement, de limiter la plage d'entrée et de renforcer la commande comme le montre la courbe de la figure 4-14 et le montage de la figure 4-15.

Pour éviter cet ennui, on peut également monter un interrupteur double en utilisant simultanément un transistor  $n$  et un transistor  $p$  en parallèle (figure 4-16).



On a alors un **SWITCH CMOS** ("complementary" MOS ). Les commandes  $V_{g1}$  et  $V_{g2}$  sont complémentaires. Quand :

$V_{g1} = -V_{cc} = -V_{g2}$ , pour toute tension  $V_{in}$  appartenant à l'intervalle  $\{-V_{cc} + V_{cc}\}$ , les deux transistors sont simultanément non passants. Pour  $V_{g1} = V_{cc} = -V_{g2}$ , les 2 résistances  $R_{on}$  évoluent en fonction de  $V_{in}$  et  $V_{out}$  selon la figure 4-17.



En fait, le switch CMOS est réductible à une résistance  $R_{switch}$  quasi constante sur toute la plage  $\{-V_{cc} + V_{cc}\}$ . Par rapport au switch simple, le switch CMOS présente donc un certain nombre d'avantages. La tension de sortie suit toujours la tension d'entrée et les transitoires sont plus simples à calculer. A dimensions égales, ils sont plus rapides :  $R_{on \text{ max}}$  (fig. 4-14)  $\gg R_{switch} \# C^{st}$ . A l'inverse, il faut employer deux transistors complémentaires par interrupteur et la commande reste plus complexe.